

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340270

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 21/60
H01L 23/10

(21)Application number : 10-148968

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.05.1998

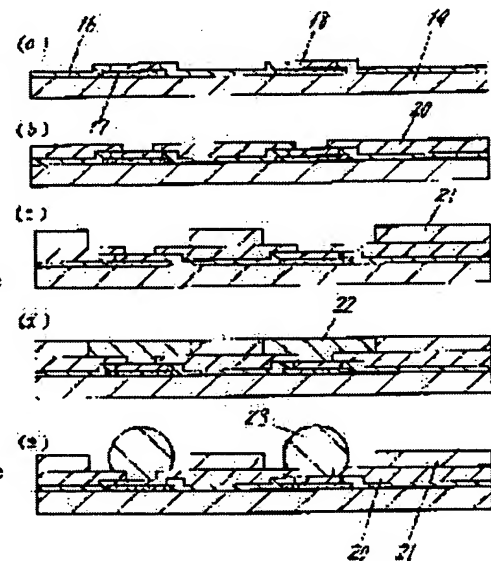
(72)Inventor : TAKASE YOSHIHISA

(54) SOLDER BUMP FORMATION METHOD AND MANUFACTURE OF SEMICONDUCTOR MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming the solder bump of excellent accuracy and excellent reliability on a semiconductor element at a low cost, and the manufacturing method of a semiconductor module to which a flip chip is mounted by using it.

SOLUTION: Photosensitive polyimide is coated on a semiconductor wafer where a barrier metal 18 is formed and is pre-baked. Thereafter, the pattern of a first layer is exposed, curing is performed and the polyimide layer 20 of the first layer is formed. Then, the photosensitive polyimide is coated and pre-baked again, the pattern of a second layer is exposed thereafter, curing is performed and the polyimide layer 21 of the second layer is formed. Then, by filling cream solder paste 22 in the opening part of the first layer and the second layer with a squeegee by using the cream solder paste and passing it through a solder reflow furnace, solder is solidified by surface tension and a round desired solder bump 23 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 4 0 2 7 0

(43) 公開日 平成 11 年 (1999) 12 月 10 日

(51) Int. Cl. ⁶

識別記号

H 0 1 L 21/60

23/10

F I

H 0 1 L 21/92

6 0 4 E

23/10

B

審査請求 未請求 請求項の数 9

OL

(全 8 頁)

(21) 出願番号 特願平 10-148968

(22) 出願日 平成 10 年 (1998) 5 月 29 日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真 1006 番地

(72) 発明者 ▲高▼瀬 喜久

大阪府門真市大字門真 1006 番地 松下電器
産業株式会社内

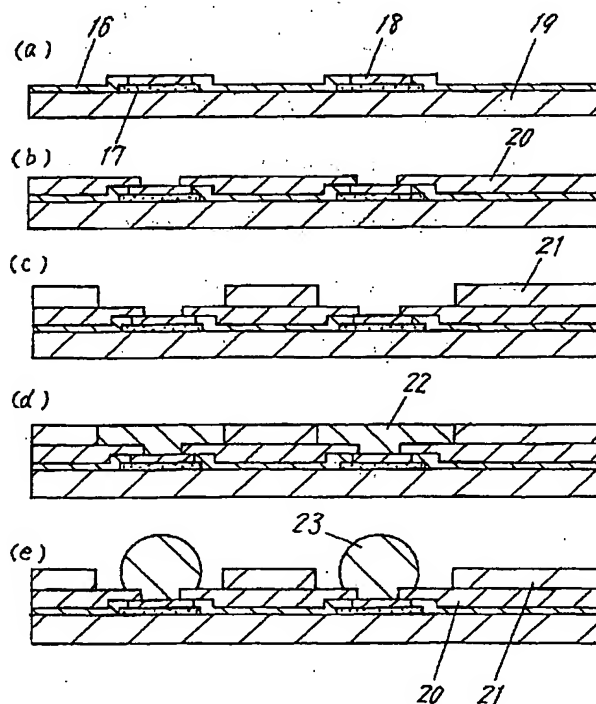
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 はんだバンプ形成方法及び半導体モジュールの製造方法

(57) 【要約】

【課題】 低コストで、精度良く、信頼性にも優れたはんだバンプを半導体素子上に形成する方法及びそれを用いてフリップチップ実装をした半導体モジュールの製造方法を提供することを目的とするものである。

【解決手段】 バリアメタル 18 を形成した半導体ウエハ上に感光性ポリイミドを塗布しプリベークし、その後、第 1 層のパターンを露光し、キュアを行ない第 1 層のポリイミド層 20 を形成する。次に、再度感光性ポリイミドを塗布しプリベークし、その後、第 2 層のパターンを露光し、キュアをして第 2 層のポリイミド層 21 を形成する。次にクリームはんだペーストを用いスキージで第 1 層、第 2 層の開孔部にクリームはんだペースト 22 を充填し、はんだリフロー炉に通すことにより、はんだが表面張力で凝集し、丸い所望のはんだバンプ 23 が形成される。



【特許請求の範囲】

【請求項 1】 半導体素子のアルミニウム電極表面にはんだバンプを形成する方法であって、電極をメタライズする工程と、その上を前記電極表面よりも大きな面積の開口部を有するマスクで覆う工程と、前記開口部にクリームはんだを充填する工程と、前記マスクを除去後、前記クリームはんだを加熱する工程とを有し、前記クリームはんだが加熱により前記電極表面上に凝集するとともに、前記マスクの厚みよりも高いはんだバンプを形成することを特徴とするはんだバンプの形成方法。

【請求項 2】 電極間の間隔が狭い場合、開口部の形状を細長く形成するとともに、はんだバンプの高さが一定となるように開口部の容積を調整することを特徴とする請求項 1 記載のはんだバンプの形成方法。

【請求項 3】 電極表面の大きさが異なる場合、その大きさに応じて開口部の形状を調整するとともに、はんだの高さがほぼ一定となるように開口部の容積を調整することを特徴とする請求項 1 記載のはんだバンプの形成方法。

【請求項 4】 クリームはんだのはんだ粒径が 5 ~ 20 μm であることを特徴とする請求項 1 記載のはんだバンプの形成方法。

【請求項 5】 マスクをメタルマスクまたは樹脂マスクで形成することを特徴とする請求項 1 記載のはんだバンプの形成方法。

【請求項 6】 マスクを 2 つの層から形成し、第 1 層の開口部を電極表面よりも同じかあるいは小さく形成するとともに、第 2 層の開口部を第 1 層の開口部の面積よりも大きく形成することを特徴とする請求項 1 記載のはんだバンプの形成方法。

【請求項 7】 第 1 層の開口部の大きさを変えることにより、バンプ面積を調整可能にするとともに、第 2 層の開口部の大きさを変えることによりバンプ高さを調整可能とすることを特徴とする請求項 6 記載のはんだバンプの形成方法。

【請求項 8】 第 1 層および第 2 層を感光性ポリイミドで形成することを特徴とする請求項 6 記載のはんだバンプの形成方法。

【請求項 9】 請求項 1 ~ 8 のいずれか記載の半導体素子上に形成されたはんだバンプを該半導体素子を搭載すべき配線基板の電極パッドと重ね合わせその重なった部分を加熱することにより両者を接合した後、アンダーフィル材を半導体素子と配線基板の間に流し込むことにより作製することを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路素子の入出力電極の形成法に係り、特にフリップチップ実装に好適なはんだバンプ形成方法及び半導体モジュールの

製造方法に関するものである。

【0002】

【従来の技術】 近年、電子機器の小型化に伴い、IC、LSI などの半導体素子は高密度、高集積化が進められている。また、半導体素子の実装面からみても電極間隔の狭ピッチ化、入出力電極数の増大といった傾向にある。さらに電卓、ノートパソコン、携帯電話にみられるように薄型化が要求されている。

【0003】 これらの要求に対して、フリップチップ方式やTAB方式などのワイヤレスボンディング方式が一括接合や位置合わせ精度からくる信頼性、実装の薄型化、高密度化などの面からマッチしており、今後の半導体素子の実装技術の一つの大きな柱となることが予想され多くの研究開発がなされている。

【0004】 ワイヤレスボンディング方式では、一般に半導体素子のアルミニウム電極上に突起電極あるいはバンプと呼ばれる金属突起物が形成される。

【0005】 この突起電極の一つとしてはんだバンプがあり、古い技術ではあるが実装性の観点から利点が多く、現在ファインピッチ、低コスト化を目指して研究開発が進められている。

【0006】 従来はんだバンプを形成する方法としては、ウエハの回路素子表面の全面にはんだとなじみの良い金属を蒸着法あるいはスパッタ法でメタライズした後、所定の電極位置にはんだをマスク蒸着するとか、あるいは電解めっきを施してはんだバンプを形成する方法がとられていた。

【0007】 これらの方式の大きな欠点は半導体ウエハの回路素子表面の全面にメタライズするため半導体素子へのストレスが大きく信頼性上問題が発生する場合も多々あった。さらに、はんだをマスク蒸着する方法では厚いはんだを供給するのが極めてコスト高である。また電解めっき法では若干コストが下がるものの半導体ウエハ製造の一貫として製造する必要があった。例えば電解めっき法ではバンプ形成の前に半導体素子のブローピングによる電気検査を行なうと検査傷により電解めっき時に電流密度の集中がおこり、バンプ高さのバラツキが大きくなるため半導体製造過程でバンプまで形成した後、電気検査をする必要があり汎用の半導体チップには採用できなかった。また電極数の違いにより電流制御が複雑であり、やはりバンプ精度の点で問題があった。

【0008】 一方低コストが期待される方法として特開平 2 - 9 0 5 2 9 号公報があるが、この方法も現実には Al 電極へ直接はんだ付けする方法であり、Al 電極の材質（通常は微量の Si あるいは Cu 等が添加されている）の違い、あるいは Al 電極に形成された Al の自然酸化膜の厚みの差によってはんだ付け不良が発生した。さらには、この方法はドライフィルムを用いているためドライフィルムの厚みに制約され、高さの高いはんだバンプの形成が困難であった。

【0009】

【発明が解決しようとする課題】従来の技術は、いずれも供給はんだ量の精度や、はんだバンプ形成工程における各種のストレスによる信頼性上での課題、あるいはバンプ形成コストの点で充分配慮がなされておらず、汎用技術としてのバンプ形成法としては採用し難いという課題を有していた。

【0010】本発明は上記従来の課題を解決し、低コストで、精度良く、信頼性にも優れたはんだバンプを半導体素子上に形成する方法及びそれを用いてフリップチップ実装をした半導体モジュールの製造方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】上記の課題を解決するために、低コストあるいは信頼性面からは蒸着法、スパッタ法等による従来の真空系を用いた方法は採用せず、また精度面、はんだバンプの高さ確保についてはマスクの形状を工夫することによりはんだバンプを形成するための新しい方法を提供するものである。

【0012】このための手段として無電解めっきによりメタライズする工程と、半導体素子の電極面積よりも大きな面積の開口部を有するマスクで電極を覆う工程と、開口部にクリームはんだを充填する工程とマスクを除去する工程（場合によっては永久レジストとして除去しない）と、クリームはんだを加熱する工程を経ることによりクリームはんだ中のはんだが融け、はんだが凝集し、しかもはんだの表面張力でマスクの厚みよりも高いはんだバンプの形成が達成される。

【0013】この方法によって、極めて簡単な設備かつ手法によりパッシベーション膜や電極が腐食されず、又無電解めっきによるメタライズ工程により電極のみがメタライズされるため、従来のようにウエハ全面に蒸着等により形成された蒸着メタライズ層による応力がほとんど発生しない。また所望のはんだバンプの高さはマスクによりクリームはんだペースト量が制御されるが通常、高精度印刷用のクリームはんだに使われている40 μ m

以上のはんだ粒径のものから、より小さなはんだ粒径（5～20 μ m）のものを開発、使用することにより、さらにマスクへの充填精度をあげ、結果としてバンプの高さ精度を飛躍的に向上することができた。また、半導体素子の電極ピッチの低ピッチ化に対応し、マスクの形状（マスク開口部の形状を細長く形成する）あるいはマスクの構成（マスクを2層に形成する）を工夫することにより、電極間の間隔が狭い場合も対応できる。これらにより、低コストで、精度の高いはんだバンプを半導体素子の全ての電極上に一括形成することができる。さらにこのはんだバンプを形成した半導体素子をフリップチップ実装することにより低コストの半導体モジュールの製造が可能となる。

【0014】

【発明の実施の形態】本発明による半導体素子のアルミニウム電極へのはんだバンプ形成方法の基本は、（1）アルミニウム電極に無電解めっきによりメタライズする工程、（2）メタライズされた電極表面を所望の開口部を有するマスクで覆う工程、（3）マスクの開口部にクリームはんだを充填する工程、（4）マスクを除去する工程（場合によっては永久レジストとして除去しない）、（5）クリームはんだを加熱する工程である。

【0015】（実施の形態1）以下、本発明の第1の実施の形態について図1（a）～（e）を参照しながら説明する。

【0016】まず、図1（a）に示すように従来の方法により各種のトランジスタ、配線等が形成されたシリコン基板1上にアルミニウム電極2を形成した後、全面にSi₃N₄からなるパッシベーション膜3を形成し、更にパッシベーション膜3を選択的にエッチング除去してアルミニウム電極2の大部分が露出した半導体素子（図3、表1）を準備した。なお、図3は半導体素子のパッドの配置図を示し、表1は同パッド座標を示している。

【0017】

【表1】

No	ピン名	X	Y	No	ピン名	X	Y
101	GND	2594	439	113	POC0	-2564	-293
102	XIN	2510	1073	114	POC1	-2564	-726
103	XOUT	2510	1273	115	POC2	-2564	-1209
104	RESETN	1900	1306	116	POC3	-2199	-1324
105	POA0	1081	1324	117	INT	-1628	-1329
106	POA1	598	1324	118	POD0	-567	-1287
107	POA2	-1258	1324	119	POD1	1195	-1287
108	POA3	-1741	1324	120	POD2	1729	-1287
109	POB0	-2174	1324	121	POD3	2263	-1287
110	POB1	-2564	1209	122	POE0	2527	-1287
111	POB2	-2564	726	123	POE1	2527	-753
112	POB3	-2564	293	124	VDD	2523	-219

【0018】次に、メタライズ工程として、図1(b)に示すように前記半導体素子のアルミニウム電極2の表面をソフトエッチングし、A1の酸化膜を除去した後、ジンケート処理液に浸漬し亜鉛の粒子を析出させた後、酸化還元反応型の無電解ニッケルめっき液に浸漬してアルミニウム電極2上にニッケル膜4を形成した。次に置換反応型の無電解金めっき液に浸漬し、ニッケル膜4の表面に厚さ0.05 μ mのフラッシュ金めっき膜5を形成し、Ni-Auからなるバリアメタル層を形成した。

【0019】次に、マスクで覆い、クリームはんだを充填する工程として、図1(c), (d)に示すように、先ず、マスクとして通常のスクリーン印刷で使用するメタルマスク6を用意した。但し、メタルマスク6の開口部の形状は下記の説明の内容で計算し、半導体素子の電極面積より大きく細長い形状とした(図4)。メタルマスク6の開口部が半導体素子の電極と一致するようにセッティングし、はんだ粒径が5~20 μ mのクリームはんだペースト7を用いスキージでメタルマスク6の開口部にクリームはんだペースト7を充填した後、メタルマスク6を持ち上げ、半導体素子の電極を含む半導体素子の表面にクリームはんだを印刷した。

【0020】次に、加熱工程として、図1(e)に示すようにはんだリフロー炉に通すことにより、クリームはんだペースト中のはんだ粒子が融け、はんだ付け性が良好な先に形成したバリアメタル層の上にはんだの表面張力で凝集し、丸い所望のはんだバンプ8が形成される。

【0021】ここで、マスクの開口部の形状を説明す

る。クリームはんだペーストの量のはんだバンプの高さに関係するため、マスクの開口部必要容積を計算した。先ず、図2に示すようにはんだバンプの形状を仮定し、はんだバンプの体積を次の式により求めた。

【0022】

$$V = V1 + V2 = (4/3 \pi r^3 \times 1/2) + xyh$$

ここで、V：はんだバンプの体積、V1：はんだバンプ上半分の体積(球の半分； $4/3 \pi r^3 \times 1/2$)、V2：はんだバンプ上半分より下の体積(A1電極開口部面積(xy)×高さ(h))である。

【0023】本実施の形態で使用したクリームはんだのフラックス成分は体積で約50%なのでクリームはんだの体積は溶融後、洗浄するとフラックス成分はなくなるため約半分になる。

【0024】従って所望のはんだバンプを得るには2Vのクリームはんだの量が必要となるため、マスクの開口部の容積は2Vになるよう設計した。

【0025】本実施の形態では、図2に示すように、はんだバンプ12の高さ(H)を80 μ mにするために、 $r = 50 \mu\text{m}$ 、 $h = 30 \mu\text{m}$ とし、x, yは、A1電極の開口部サイズ $x = 100 \mu\text{m}$ 、 $y = 100 \mu\text{m}$ を用い、はんだバンプの体積($V = 561, 799 \mu\text{m}^3$)を計算した。

【0026】ここで、メタルマスクの厚みに関しては、75 μ m以下がメタルマスクの製造上、またクリームはんだペーストのメタルマスクからのペーストの抜け性の点で最適であることが実験でわかった(メタルマスクの

厚みが75 μm 以上になるとペーストの抜け性が悪くなり結果としてはんだバンプの高さバラツキが大きくなる。

【0027】本実施の形態では厚さ50 μm のメタルマスクを用いたのでメタルマスクの開口部の面積(S)は、 $S=2V/50=22.472\mu\text{m}^2$ となる。メタルマスクの開口部の面積(S)はとなりの電極との間隔を考慮して縦、横のサイズを決める必要がある。本実施の形態の半導体素子には、電極ピッチが200 μm のところ(図3:パッド配置図及び表1:パッド座標;N

10

o. 2とN o. 3の間のピッチ)があるので、半導体素子の電極サイズ100 $\mu\text{m}\times 100\mu\text{m}$ に対し、110 $\mu\text{m}\times 204\mu\text{m}$ の細長い形状(図4)を採用した。

【0028】つまり、はんだリフロー炉に通すことにより、クリームはんだペースト中のはんだ粒子が融け、はんだ付け性が良好な先に形成したバリアメタル層15の上にはんだの表面張力ではんだが凝集し、丸い所望のはんだバンプ12が形成される現象を利用した。電極の間隔が狭い半導体素子の場合、マスクの開口部の形状を細長く形成し、はんだバンプの高さがほぼ一定となるように開口部の容積を調整した。

20

【0029】本実施の形態の半導体素子の電極配置(図3)に対しては、図4に示すような細長い形状を有するメタルマスクを作製した。

【0030】次にはんだ粒径が5~20 μm のクリームはんだペーストを用いたが、半導体素子の電極開口部サイズは通常60~150 μm と小さいためはんだ粒径が20 μm 以上であるとはんだバンプの高さバラツキが非常に大きくなった。一方はんだ粒径が5 μm 以下になるとペースト中のはんだ粒子が酸化されやすくなりはんだバンプの中にボイドが発生しやすくなり信頼性上問題があった。

30

【0031】上記の点を考慮した本実施の形態のはんだバンプは6インチウエハ内でバンプ高さ80 μm に対してバラツキが $\pm 7\mu\text{m}$ 以下であった。

【0032】このはんだバンプを形成した半導体素子を用いて、通常のフリップチップ実装を実施した(図1、(f))。つまり、はんだバンプ8を形成した半導体素子ウエハを個片の半導体チップにダイシングした後、予め回路基板電極10上に共晶はんだペースト11を印刷した回路基板9にはんだバンプ8を形成した半導体チップを搭載しはんだリフローする。その後、アンダーフィル材としてエポキシ系の樹脂で封止し半導体モジュール(図1、(f);アンダーフィル材は図からは省略している)を作製した。この半導体モジュールについて信頼性試験をしたところ充分満足するものであった。

40

【0033】はんだバンプ形成のためのバリアメタルとしては、従来の蒸着法あるいはスパッタ法により形成したはんだ接続が可能なメタライズ層でも構わないことは言うまでもない。

50

【0034】また、メタルマスクの代わりに樹脂マスク(ポリイミド、PET等)を作製し同様のバンプ形成を行なったところ、メタルマスクと同様の結果を得た。

【0035】(実施の形態2)以下、本発明の第2の実施の形態について図5(a)~(e)を参照しながら説明する。

【0036】まず、図5(a)に示すように従来の方法により各種のトランジスタ、配線等が形成されたシリコン基板19上にアルミニウム電極17を形成した後、全面に Si_3N_4 からなるパッシベーション膜16を形成し、更にパッシベーション膜16を選択的にエッチング除去してアルミニウム電極17の大部分が露出した半導体素子(図3、表1)を準備した。

【0037】次に、メタライズ工程として、図5(a)に示すように前記半導体素子のアルミニウム電極17の表面をソフトエッチングし、Alの酸化膜を除去した後、ジンケート処理液に浸漬し亜鉛の粒子を析出させた後、酸化還元反応型の無電解ニッケルめっき液に浸漬してアルミニウム電極17上にニッケル膜を形成した。次に置換反応型の無電解金めっき液に浸漬し、ニッケル膜の表面に厚さ0.05 μm のフラッシュ金めっき膜を形成し、Ni-Auからなるバリアメタル18を形成した。

【0038】次に、上記バリアメタルを形成した半導体ウエハ上に感光性ポリイミド“フォトニース”(東レ(株)製)をスピンナーで均一に塗布しプリベーク(70 $^{\circ}\text{C}\times 1\text{min}$ 、90 $^{\circ}\text{C}\times 1\text{min}$ 、105 $^{\circ}\text{C}\times 2\text{min}$)をした。その後、半導体素子の電極表面と同じかあるいは小さい開口部が形成できる第1層のパターン(半導体素子の電極上にバンプの低部のサイズを決定する形状)を露光し、現像前ベーク(80 $^{\circ}\text{C}\times 1\text{min}$)を行なった後現像する。そして、キュア(140 $^{\circ}\text{C}\times 3\text{min}$ 、350 $^{\circ}\text{C}\times 60\text{min}$)をして第1層のポリイミド層20(硬化後10 μm)を形成する(図5、(b))。

【0039】次に、第1層のポリイミド層20が形成された半導体ウエハ上に再度感光性ポリイミド“フォトニース”(東レ(株)製)をスピンナーで均一に塗布しプリベーク(60 $^{\circ}\text{C}\times 3\text{min}$ 、80 $^{\circ}\text{C}\times 3\text{min}$ 、100 $^{\circ}\text{C}\times 6\text{min}$)をした。その後、第2層のパターン(第1層の開口部よりも大きい開口部を有する)を露光し、現像前ベーク(60 $^{\circ}\text{C}\times 1\text{min}$)を行なった後現像する。そして、キュア(140 $^{\circ}\text{C}\times 3\text{min}$ 、350 $^{\circ}\text{C}\times 60\text{min}$)をして第2層のポリイミド層21(硬化後20 μm)を形成する(図5、(c))。

【0040】次に第2層目のポリイミド層21の上にはんだ粒径が5~20 μm のクリームはんだペーストを用いスキージで第1層、第2層の開口部にクリームはんだペースト22を充填した(図5、(d))。

【0041】その後、はんだリフロー炉に通すことによ

り、クリームはんだペースト中のはんだ粒子が融け、はんだ付け性が良好な先に形成したバリアメタル層の上にはんだの表面張力で凝集し、丸い所望のはんだバンプ23が形成される(図5、(e))。

【0042】ここでは、マスクの除去を行わず永久マスクとして半導体素子の上に残している。本発明ではポリミドを用いているためこのマスクが半導体のメモリ等に影響する α 線をカットすることができメモリの誤動作を防ぐことができる。

【0043】また高さの高いはんだバンプを形成するためにマスクを2つの層から形成し、第1層、第2層の開口部の形状を工夫した。第1層目の開口部サイズはバンプのサイズを決定するものであり、第2層目の開口部サイズの高さに関係する。

【0044】ここで、第1層のマスクと第2層のマスクの開口部形状について説明する。開口部の容積は、実施の形態1と同様の考え方であり、バンプの高さは第1層目の開口部と第2層目の開口部の容積を加えた容積で決まる。先ず、図2に示すようにはんだバンプの形状を仮定し、はんだバンプの体積を次の式により求めた。

【0045】

$V = V_1 + V_2 = (4/3 \pi r^3 \times 1/2) + x y h$
 ここで、 V ：はんだバンプの体積、 V_1 ：はんだバンプ上半分の体積(球の半分； $4/3 \pi r^3 \times 1/2$)、 V_2 ：はんだバンプ上半分より下の体積(A1電極開口部*
 (第2層開口部面積(S))

$$= \{ 2V - (\text{第1層開口部面積}) \times (10 \mu\text{m}) \} / 20 \mu\text{m}$$

$$= 52, 130 \mu\text{m}^2 \text{となる。}$$

【0052】本実施の形態の半導体素子には、電極ピッチが264 μm (図3：パッド配置図及び表1：パッド座標；No. 21とNo. 22の間のピッチ)、200 μm (図3：パッド配置図及び表1：パッド座標；No. 2とNo. 3の間のピッチ)のところがあるので、その部分は、110 $\mu\text{m} \times 4.73 \mu\text{m}$ の細長い形状(図6、(c)、(e))を採用し、他の部分は200 $\mu\text{m} \times 260 \mu\text{m}$ の細長い形状(図6、(c)、(d))を採用した。

【0053】本実施の形態も実施の形態1と同様に、はんだリフロー炉に通すことにより、クリームはんだペースト中のはんだ粒子が融け、はんだ付け性が良好な先に形成したバリアメタル層の上にはんだの表面張力ではんだが凝集し、丸い所望のはんだバンプが形成される現象を利用した。電極の間隔が狭い半導体素子の場合、第2層のマスクの開口部形状を細長く形成し、はんだバンプの高さがほぼ一定となるように開口部の容積を調整した。

【0054】第1層と第2層を重ね合わせると図5、(c)及び図6、(f)のようになる。

【0055】上記の点を考慮した実施の形態2のはんだバンプは6インチウエハ内でバンプ高さ80 μm に対し

*面積(x y)×高さ(h))である。

【0046】本実施の形態で使用したクリームはんだのフラックス成分は体積で約50%なのでクリームはんだの体積は溶融後、洗浄するとフラックス成分はなくなるため約半分になる。

【0047】従って所望のはんだバンプを得るには2Vのクリームはんだの量が必要となるため、マスクの開口部の容積は2Vになるよう設計した。

【0048】本実施の形態では、図2に示すように、はんだバンプの高さ(H)を80 μm にするために、 $r = 50 \mu\text{m}$ 、 $h = 30 \mu\text{m}$ とし、 x 、 y は、A1電極の開口部サイズ $x = 100 \mu\text{m}$ 、 $y = 100 \mu\text{m}$ を用い、はんだバンプの体積($V = 561, 799 \mu\text{m}^3$)を計算した。

【0049】本実施の形態では第1層目のポリミドの厚みを硬化後10 μm 、第2層目20 μm で形成した。

【0050】従って、

(第1層開口部面積)×(10 μm) + (第2層開口部面積)×(20 μm) = 2Vに成るように設計した。

【0051】半導体素子の電極配置(図3)に対しては、第1層の開口部サイズがはんだバンプの底面の形状を決定する。本実施の形態では90 $\mu\text{m} \times 90 \mu\text{m}$ の開口部サイズとした(図6、(a)及び(b))。第2層の開口部ははんだバンプの高さに関係する。はんだバンプ高さを80 μm にするには、

てバラツキが±5 μm 以下であった。

【0056】このはんだバンプを形成した半導体素子を通常のフリップチップ実装を実施し、アンダーフィル材としてエポキシ系の樹脂を用い半導体モジュールを作製し、信頼性試験をしたところ充分満足するものであった。

【0057】

【発明の効果】以上のように本発明によれば、蒸着法、スパッタ法等によるバリアメタルの形成も不要となり半導体素子の信頼性、歩留まりは向上する。また高コストである蒸着法によるはんだバンプの形成に比べ非常に低コストでバンプを形成することは明らかである。従って、本発明によるはんだバンプ形成方法及び半導体モジュールの製造方法によれば信頼性の高い、低コストのバンプ及びモジュールが実現できる等工業的価値は大なるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態における各工程の半導体素子の断面図

【図2】同バンプ形状の断面図

【図3】同半導体素子のパッド配置図

【図4】同実施の形態に用いたマスクの開口部の形状を

示す図

【図5】本発明の実施の形態における各工程の半導体素子の断面図

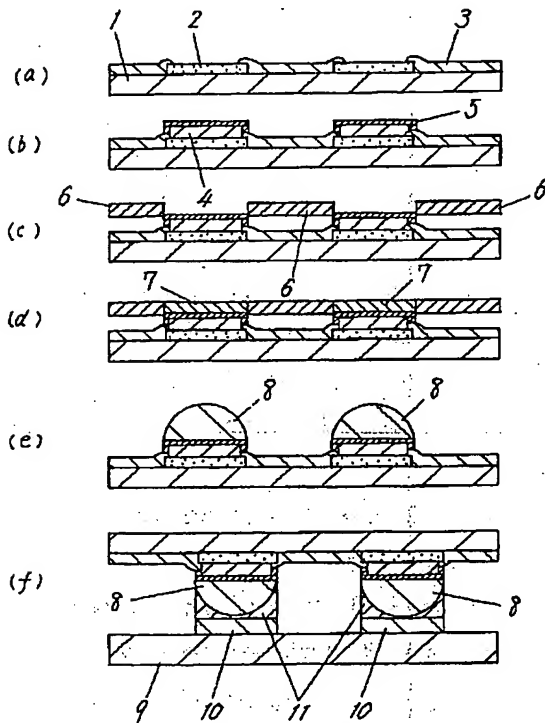
【図6】同実施の形態に用いたマスクの開口部の形状を示す図

【符号の説明】

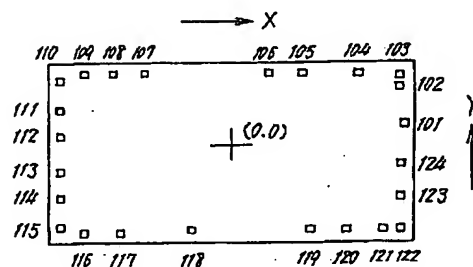
- 1 シリコン基板
- 2 アルミニウム電極
- 3 パッシベーション膜
- 4 ニッケル膜
- 5 フラッシュ金めっき膜
- 6 メタルマスク
- 7 クリームはんだペースト
- 8 はんだバンプ
- 9 回路基板

- 10 回路基板電極
- 11 共晶はんだペースト
- 12 はんだバンプ
- 13 パッシベーション膜
- 14 シリコン基板
- 15 バリアメタル層 (Al電極+Ni-Auめっき)
- 16 パッシベーション膜
- 17 アルミニウム電極
- 18 バリアメタル (Ni-Auめっき)
- 19 シリコン基板
- 20 第1層のポリイミド層
- 21 第2層のポリイミド層
- 22 クリームはんだペースト
- 23 はんだバンプ

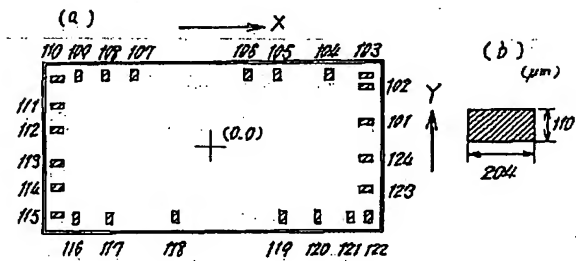
【図1】



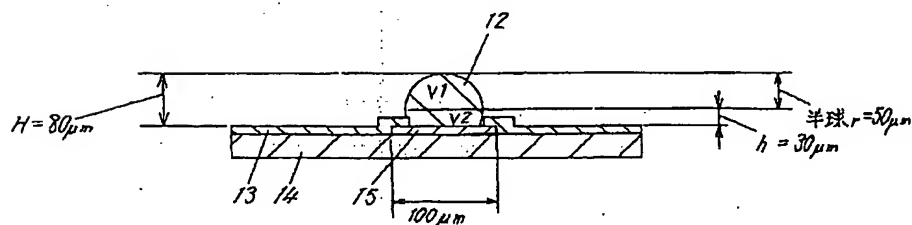
【図3】



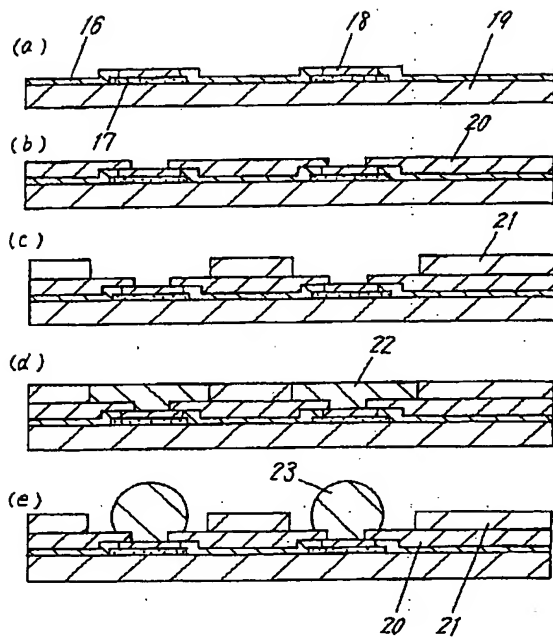
【図4】



【図2】



【図 5】



【図 6】

